

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-307072

(43) 公開日 平成9年(1997)11月28日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/10	4 5 1		H 0 1 L 27/10	
G 1 1 B 5/024		9559-5D	G 1 1 B 5/024	
H 0 1 L 29/43			H 0 1 L 29/62	G
29/78			29/78	3 0 1 G
41/22			41/22	B
審査請求 有 請求項の数 7 O L (全 7 頁)				

(21) 出願番号 特願平8-120323

(22) 出願日 平成8年(1996)5月15日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 加藤 有光

東京都港区芝五丁目7番1号 日本電気株式会社内

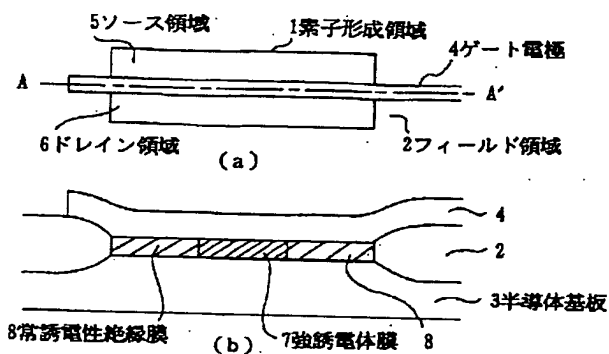
(74) 代理人 弁理士 菅野 中

(54) 【発明の名称】 半導体装置及びその製造方法、並びに半導体集積回路装置

(57) 【要約】

【課題】 ゲート絶縁膜の一部に強誘電体を用いた電界効果トランジスタにおいて、残留分極を効率的に利用する。

【解決手段】 ゲート絶縁膜内の強誘電体膜7と半導体基板3の表面との距離を均一にする。このため強誘電体膜7の面積全体を有効活用でき、信号電圧切断後の電流は、強誘電体領域が狭くなっても急激に減少することがない。



【特許請求の範囲】

【請求項1】 ソース拡散層及びドレイン拡散層と、ゲート電極と、ゲート絶縁膜とを半導体基板に有する半導体装置であって、

ソース拡散層及びドレイン拡散層は、チャンネル域により分離されて形成されたものであり、

ゲート電極は、ゲート絶縁膜を介して前記チャンネル域上に形成されたものであり、

前記ゲート絶縁膜は、その一部が強誘電体にて構成され、ゲート電極の下方に位置する強誘電体の主に分極する全領域は、素子形成領域内の半導体基板とは均一な距離に配置されたものであることを特徴とする半導体装置。

【請求項2】 前記ゲート電極の下方に位置する強誘電体の主に分極する全領域は、前記半導体基板に接触して形成されたものであることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記ゲート電極の下方に位置する強誘電体の主に分極する全領域は、前記半導体基板から等間隔離れて形成されたものであることを特徴とする請求項1に記載の半導体装置。

【請求項4】 複数の半導体装置を回路構成の能動素子として有する半導体集積回路装置であって、半導体装置は、ソース拡散層及びドレイン拡散層と、ゲート電極と、ゲート絶縁膜とを半導体基板に有するものであり、

ソース拡散層及びドレイン拡散層は、チャンネル域により分離されて形成されたものであり、

ゲート電極は、ゲート絶縁膜を介して前記チャンネル域上に形成されたものであり、

前記ゲート絶縁膜は、その一部が強誘電体にて構成され、ゲート電極の下方に位置する強誘電体の主に分極する全領域は、フィールド領域を避けて該フィールド領域に囲まれた素子形成領域内に配置されたものであることを特徴とする半導体集積回路装置。

【請求項5】 絶縁膜形成工程と、露出工程と、ゲート絶縁膜形成工程と、ゲート電極形成工程とを含む半導体装置の製造方法であって、

絶縁膜形成工程は、半導体上に絶縁膜を形成する処理であり、

露出工程は、前記絶縁膜の一部をエッチングして前記半導体の一部を露出させる処理であり、

ゲート絶縁膜形成工程は、前記露出工程を経た半導体の全面に強誘電体膜、又は強誘電体とその他の材料の積層構造膜からなるゲート絶縁膜を形成する処理であり、強誘電体膜の主に分極する全領域は、フィールド領域を避けて該フィールド領域に囲まれた素子形成領域内に形成されており、

ゲート電極形成工程は、前記ゲート絶縁膜上に導電体を形成した後、導電体及びゲート絶縁膜をゲート電極の形

状に形成する処理であることを特徴とする半導体装置の製造方法。

【請求項6】 絶縁膜形成工程と、中間層形成工程と、露出工程と、ゲート絶縁膜形成工程と、ゲート電極形成工程と、第2導電体形成工程とを有する半導体装置の製造方法であって、

絶縁膜形成工程は、半導体上に絶縁膜を形成する処理であり、

中間層形成工程は、前記絶縁膜上に強誘電体膜、又は強誘電体とその他の積層構造膜と導電体膜とを形成する処理であり、

露出工程は、前記導電体膜と強誘電性をもつ膜の一部をエッチングし、半導体の一部を露出させる処理であり、

ゲート絶縁膜形成工程は、前記半導体の全面に強誘電体膜、又は強誘電体とその他の材料の積層構造膜からなるゲート絶縁膜を形成する処理であり、

ゲート電極形成工程は、前記ゲート絶縁膜上に導電体膜を形成し、それらの膜をゲート電極の形状に整形する処理であり、

第2導電体形成工程は、前記ゲート電極に第2の導電体を絶縁膜を介して積層接続する処理であることを特徴とする半導体装置の製造方法。

【請求項7】 絶縁体膜形成工程と、バッファ膜形成工程と、強誘電体膜形成工程と、誘電体膜工程と、整形工程とを有する半導体装置の製造方法であって、

絶縁体膜形成工程は、半導体上に第1の絶縁体膜を形成する処理であり、

バッファ膜形成工程は、前記第1の絶縁体膜上の一部に導電体、又は第2の絶縁体からなるバッファ膜を形成する処理であり、

強誘電体膜形成工程は、前記各工程を経た前記半導体の全体に、強誘電体膜、又は強誘電体とその他の積層構造膜からなる強誘電性を持つ膜を形成する処理であり、誘電体膜工程は、前記強誘電性を持つ膜の上に誘電体膜を形成する処理であり、

整形工程は、前記導電体膜と強誘電性を持つ膜とバッファ膜とをゲート電極の形状に加工整形する処理であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置に関し、特にゲート絶縁膜の一部に強誘電体を使用した電界効果トランジスタの構造及び製造方法、並びに、その半導体装置を使用した半導体集積回路に関するものである。

【0002】

【従来の技術】 強誘電体をMISFET (Metal Insulator Semiconductor Field Effect Transistor) のゲート絶縁膜の一部に用いた従来の技術について説明する。強誘電体には、電圧を印加した後に電圧を取り除い

た後でも残留分極が残るという特性がある。このため、ゲート電極に電圧を印加することにより強誘電体を分極し、残留分極が半導体表面に電荷を誘起することを利用してメモリ機能を持つ素子を形成することができる。

【0003】図7に特開平2-90571号で提案された半導体装置の概観図を、図8に断面図を示す。図7に開示されたMISFETは、ゲート絶縁体膜の中央部が強誘電体膜、それ以外が他の絶縁膜により構成されている。

【0004】次に提案された半導体装置の製造工程を図7を用いて説明する。まず、P型シリコン基板26上に素子分離酸化膜27を形成する。次にシリコン基板26の素子形成領域上に強誘電体としての $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜28をRFスパッタ法により全面に形成した後、レジストマスクを用いて反応性イオンエッチングによりゲート部を残して除去する。

【0005】次に強誘電体膜28の周囲に熱酸化法によりゲート酸化膜29を形成した後、強誘電体膜28及びゲート酸化膜29上に多結晶シリコンゲート30を形成する。次にゲートをセルフアライメンマスクにし、Asイオン注入によりソース領域5及びドレイン領域6を形成する。

【0006】次に動作について説明する。ゲートに信号を入力すると、その極性により強誘電体が分極し、信号を切断した後は残留分極によりゲート下のチャネル域に電荷が誘起される。このため、分極方向により異なるドレイン電流が流れる。この半導体装置によれば、ゲート入力信号切断時における出力信号レベルを、ゲート絶縁体に占める強誘電体膜28の割合によって制御することができる。すなわち、“0”、“1”の2値の入力に対して、その出力として多値レベルを行った論理回路の形成が可能となることを提案している。

【0007】次にゲート絶縁膜として強誘電体と他の材料の積層構造を用いた従来の技術について説明する。この構造は、半導体表面に直接強誘電体を形成せずに別の材料を形成した上に強誘電体を形成するため、電流が流れるチャネルとなる半導体表面の状態を良好にする材料を選択する自由度が増える。図9は特開平6-29549号で提案された電界効果トランジスタの主要部断面図である。

【0008】図9に示された電界効果トランジスタは、半導体基板としてのp型シリコン基板26にソース領域5、ドレイン領域6を備え、さらにシリコン基板26上に、強誘電体以外の絶縁膜としてのシリコン酸化膜11と強誘電体薄膜としての $\text{Pb}(\text{Zr-Ti})\text{O}_3$ （以下、PZTという）膜22とをこの順に積層して構成したゲート絶縁膜31を備え、さらにゲート絶縁膜31上にゲート電極4を備える構成となっている。なお図9において、32はしきい値調整用イオン注入領域である。このように図9では、ゲート絶縁膜として強誘電体と強

誘電体以外の絶縁膜との積層構造を用いている。

【0009】図10は特開平5-145077号で提案された半導体装置の主要部断面図である。図10の半導体装置は、基板内に設けられた第1導電型の半導体領域であるp型シリコンウェル33内に第2導電型の一对の拡散領域である高濃度のn型ドレイン層6及び高濃度のn型ソース層5が設けられている。p型シリコンウェル33の上面には、高い誘電率を有する SrTiO_3 からなる高誘電体膜34が設けられる。

【0010】そして高誘電体膜34の上面には、導電体膜である白金層35が設けられる。白金層35の上面には、強誘電体材料である PbTiO_3 （以下、PTという）からなる強誘電体膜36が設けられる。さらに強誘電体膜36の上面には、制御電極である白金層37が設けられている。なおp型シリコンウェル33のうち、高濃度のn型ドレイン層6と高濃度のn型ソース層5とに挟まれた部分をチャネル領域38と呼ぶ。このように図10では、ゲート絶縁膜として強誘電体と導電体と酸化膜との積層構造を用いている。

【0011】

【発明が解決しようとする課題】しかしながら、図7で提案された製造方法では、強誘電体の縁にシリコン酸化膜が食い込み、このため電流が減少してしまうという問題があった。この理由を以下に説明する。図7で提案された製造方法で形成した場合の図7の側面の方向から見た断面構造を図8に示す。

【0012】強誘電体膜28の形成後、その周囲に熱酸化によりシリコン酸化膜29を形成しているが、この方法では、熱酸化中に強誘電体膜28周辺にシリコン酸化膜29が食い込んで成長する。その食い込み量は、熱酸化で形成したシリコン酸化膜厚の20%程度となり、本構造では、両側から食い込まれるため、シリコン酸化膜厚の40%程度となる。このシリコン酸化膜29が強誘電体膜28の下に食い込んだ部分39の強誘電体膜28は、ゲート電極30に電圧が印加したとき、強誘電体に比べて誘電率の小さいシリコン酸化膜29に電圧が分割されるため、分極しにくくなる。

【0013】このため残留分極によりチャネルを形成する本半導体装置では、流れる電流が小さくなってしまふ。この電流減少量は、シリコン酸化膜が食い込んだ部分がすべて損失となると考えると、シリコン酸化膜厚の40%程度となる。つまり、シリコン酸化膜を20nm形成したとすると、食い込み量は、8nmとなり、強誘電体領域の幅を0.8 μm としたとき電流量を1%減少させることになる。この影響は、微細化を進めると、さらに大きくなる。

【0014】本半導体装置では、ゲート絶縁膜の強誘電体領域を狭くすることにより、信号電圧の切断後に流れる電流の小さい水準を形成できるが、本構造では、強誘電体膜28周辺部にシリコン酸化膜29の食い込み部分

5

39が存在するため、強誘電体領域を狭くしていくと、食い込み部分39の割合が増え、電流を減少させるため、食い込み部分39が強誘電体領域の寸法と電流量の関係に影響を与える。食い込み部分の形状は、複雑であり、また強誘電体の特性が電圧の大きさで変化してしまうため、計算によって食い込み部分の影響量を見積もることは、難しい。食い込みによる誤差を補正するには、試作を行ない電流量と寸法との関係を測定しなければならないため、設計が困難となる。

【0015】さらに、図9や図10のような強誘電体と他の材料との積層構造の場合には、特にシリコン半導体基板表面にシリコン酸化膜があり、その上に導電体と強誘電体の積層構造、又は強誘電体が形成された構造に適用しようとする、シリコン酸化膜が既にあるために強誘電体周辺の酸化が顕著に起こる。このため、この構造では、さらに強誘電体領域の寸法と電流量の関係への強誘電体周辺部酸化による影響が大きくなり、設計が困難となる。

【0016】本発明の目的は、強誘電体の残留分極を効率的に利用した半導体装置及びその製造方法を提供することにある。

【0017】

【課題を解決するための手段】前記目的を達成するため、本発明に係る半導体装置は、ソース拡散層及びドレイン拡散層と、ゲート電極と、ゲート絶縁膜とを半導体基板に有する半導体装置であって、ソース拡散層及びドレイン拡散層は、チャンネル域により分離されて形成されたものであり、ゲート電極は、ゲート絶縁膜を介して前記チャンネル域上に形成されたものであり、前記ゲート絶縁膜は、その一部が強誘電体にて構成され、ゲート電極の下方に位置する強誘電体の主に分極する全領域は、素子形成領域内の半導体基板とは均一な距離に配置されたものである。

【0018】また前記ゲート電極の下方に位置する強誘電体の主に分極する全領域は、前記半導体基板に接触して形成されたものである。

【0019】また前記ゲート電極の下方に位置する強誘電体の主に分極する全領域は、前記半導体基板との間に等間隔離れて形成されたものである。

【0020】また本発明に係る半導体集積回路装置は、複数の半導体装置を回路構成の能動素子として有する半導体集積回路装置であって、半導体装置は、ソース拡散層及びドレイン拡散層と、ゲート電極と、ゲート絶縁膜とを半導体基板に有するものであり、ソース拡散層及びドレイン拡散層は、チャンネル域により分離されて形成されたものであり、ゲート電極は、ゲート絶縁膜を介して前記チャンネル域上に形成されたものであり、前記ゲート絶縁膜は、その一部が強誘電体にて構成され、ゲート電極の下方に位置する強誘電体の主に分極する全領域は、フィールド領域を避けて該フィールド領域に囲まれた素

6

子形成領域内に配置されたものである。

【0021】また本発明に係る半導体装置の製造方法は、絶縁膜形成工程と、露出工程と、ゲート絶縁膜形成工程と、ゲート電極形成工程とを含む半導体装置の製造方法であって、絶縁膜形成工程は、半導体上に絶縁膜を形成する処理であり、露出工程は、前記絶縁膜の一部をエッチングして前記半導体の一部を露出させる処理であり、ゲート絶縁膜形成工程は、前記露出工程を経た半導体の全面に強誘電体膜、又は強誘電体とその他の材料の積層構造膜からなるゲート絶縁膜を形成する処理であり、強誘電体膜の主に分極する全領域は、フィールド領域を避けて該フィールド領域に囲まれた素子形成領域内に形成されており、ゲート電極形成工程は、前記ゲート絶縁膜上に導電体を形成した後、導電体及びゲート絶縁膜をゲート電極の形状に形成する処理である。

【0022】また本発明に係る半導体装置の製造方法は、絶縁膜形成工程と、中間層形成工程と、露出工程と、ゲート絶縁膜形成工程と、ゲート電極形成工程と、第2導電体形成工程とを有する半導体装置の製造方法であって、絶縁膜形成工程は、半導体上に絶縁膜を形成する処理であり、中間層形成工程は、前記絶縁膜上に強誘電体膜、又は強誘電体とその他の積層構造膜と導電体膜とを形成する処理であり、露出工程は、前記導電体膜と強誘電性をもつ膜の一部をエッチングし、半導体の一部を露出させる処理であり、ゲート絶縁膜形成工程は、前記半導体の全面に強誘電体膜、又は強誘電体とその他の材料の積層構造膜からなるゲート絶縁膜を形成する処理であり、ゲート電極形成工程は、前記ゲート絶縁膜上に導電体膜を形成し、それらの膜をゲート電極の形状に整形する処理であり、第2導電体形成工程は、前記ゲート電極に第2の導電体を絶縁膜を介して積層接続する処理である。

【0023】また本発明に係る半導体装置の製造方法は、絶縁膜形成工程と、バッファ膜形成工程と、強誘電体膜形成工程と、誘電体膜工程と、整形工程とを有する半導体装置の製造方法であって、絶縁膜形成工程は、半導体上に第1の絶縁膜を形成する処理であり、バッファ膜形成工程は、前記第1の絶縁膜の一部に導電体、又は第2の絶縁膜からなるバッファ膜を形成する処理であり、強誘電体膜形成工程は、前記各工程を経た前記半導体の全体に、強誘電体膜、又は強誘電体とその他の積層構造膜からなる強誘電性を持つ膜を形成する処理であり、誘電体膜工程は、前記強誘電性を持つ膜の上に誘電体膜を形成する処理であり、整形工程は、前記導電体膜と強誘電性を持つ膜とバッファ膜とをゲート電極の形状に加工整形する処理であるものである。

【0024】

【作用】本発明の半導体装置によれば、ゲート絶縁膜内の強誘電体と半導体基板表面との距離を均一にできるため、強誘電体の面積全体を有効活用でき、信号電圧切断

7

後の電流は、強誘電体領域が狭くなっても急激に減少することがない。

【0025】

【発明の実施の形態】次に本発明の実施の形態について図面を参照して詳細に説明する。

【0026】

【実施形態1】図1(a)は、本発明の実施形態1を示す主要部平面図、図1(b)は、図1(a)のA-A'線断面図である。本発明の実施形態1に係る半導体装置では、素子形成領域1とフィールド領域2が形成された半導体基板3の素子形成領域1に重なるようにゲート電極4が設けられ、このゲート電極4と重ならない素子形成領域1にソース領域5とドレイン領域6となる拡散層が形成されており、このゲート電極4と素子形成領域1との間の一部に強誘電体膜7が形成されたことを特徴とするものである。この強誘電体膜7に並んで常誘電性絶縁膜8が形成されている。

【0027】

【実施形態2】図2は、本発明の実施形態2を示す主要部断面図である。本発明の実施形態2に係る半導体装置では、素子形成領域1とフィールド領域2が形成された半導体基板3の素子形成領域1に重なるようにゲート電極4が設けられ、このゲート電極4と素子形成領域1との間の素子形成領域1上に絶縁体膜9が形成され、この絶縁体膜9とゲート電極4の間の一部に強誘電体膜7が形成され、この強誘電体膜7に並んで常誘電性絶縁膜8が形成されたことを特徴とするものである。

【0028】上述した本発明の実施形態1及び2では、常誘電体膜と半導体基板表面の距離は、強誘電体膜のゲート電極下部の全領域にわたり均一となっている。たとえば、実施形態1では、ゲート電極4下部の強誘電体膜7全域で半導体基板3と強誘電体膜7が接している。また実施形態2では、ゲート電極4下部の強誘電体膜7全域において、半導体基板3と強誘電体膜7は、絶縁体膜9の厚さの距離だけ離れている。本発明の実施形態によれば、強誘電体膜7のゲート電極4下部の全域が残留分極により半導体基板3表面にチャネルを形成するのに有効に働く。

【0029】

【実施例1】図3は、本発明の実施例1を示す主要部断面図である。図3に示す本発明の実施例1においては、シリコン基板10にフィールド領域2と素子形成領域1を形成した後、素子形成領域1に熱酸化により50nm程度のシリコン酸化膜11を形成する。

【0030】次にゲート電極4が通る部分の素子形成領域1のシリコン酸化膜11の一部をフッ酸でエッチングする。その後、シリコン基板10の全面に強誘電体であるBaMgF₄膜12を表面を平坦に形成するため、厚めに400nm程度MBE法で形成してエッチバックし、強誘電体であるBaMgF₄膜12を設ける。そし

8

て強誘電体であるBaMgF₄膜12の全面にゲート電極13となるアルミニウムを500nm程度形成し、アルミニウムと強誘電体膜12を1μm程度の幅のゲート電極13の形状にドライエッチングやミリングで加工する。このゲート電極13をマスクとして素子形成領域1にソース・ドレイン領域を形成するための不純物をイオン注入する。

【0031】本実施例では、ゲート絶縁膜の構造として、強誘電体12による単層部分と強誘電体12とシリコン酸化膜11との積層構造の部分がある。アルミゲート電極13は共通のため、どちらの部分にも同じ電圧がかかるが、シリコン酸化膜11の誘電率は3.9程度であり、強誘電体12の9程度に比べて小さいため、電圧は、ほとんどはシリコン酸化膜11にかかり、強誘電体12にはあまりかからない。このため、分極は主に強誘電体12による単層部分で起こり、この強誘電体12による単層部分のゲート電極13の面積に占める割合で信号電圧切断後の電流を変化させることができる。また強誘電体12として、BaMgF₄膜を用いたが、これに代えて、PT膜とCeO₂膜の積層構造膜を用いることもできる。

【0032】

【実施例2】図4は、本発明の実施例2を示す主要部断面図である。図4に示す本発明の実施例2においては、シリコン基板10にフィールド領域2と素子形成領域1を形成した後、素子形成領域1に熱酸化により10nm程度の薄いシリコン酸化膜14を形成する。

【0033】次に、シリコン基板10の全面に、絶縁体であるCeO₂膜15を電子ビーム蒸着で形成し、その上に100nm程度の強誘電体であるPbTiO₃(以下、PTという)膜16と50nm程度の白金膜17をスパッタリングにより形成する。フィールド部にかからない長さで1.5μm程度のゲート電極の幅に白金膜17とPT膜16をパターンニングする。

【0034】その後、全面にCVD法により1μm程度の厚いシリコン酸化膜18を形成し、CMP(Chemical Mechanical Polishing)技術により白金膜17が露出するまでシリコン酸化膜18を研磨する。全面にゲート電極となる白金膜19を形成し、これを白金膜17に電気的に接続し、白金膜17より細い幅、例えば1μm程度で素子形成領域1を横切るゲート電極の形状になるように白金膜(ゲート電極)19と厚いシリコン酸化膜18をミリングとドライエッチングで加工する。その後、表面に出ているCeO₂膜15をドライエッチングして、ゲート電極19ををマスクとして薄いシリコン酸化膜14を通して素子形成領域1にソース・ドレイン領域を形成するための不純物をイオン注入する。CMP時に白金膜17の一部が研磨されても、強誘電体としてのPT膜16の厚さは、変わらないので、特性に影響はない。

【0035】

【実施例3】図5は、本発明の実施例3を示す主要部断面図である。図5に示す本発明の実施例3では、シリコン基板にフィールド領域2と素子形成領域1を形成した後、素子形成領域1に熱酸化により10nm程度の薄いシリコン酸化膜14を形成する。

【0036】次に、シリコン基板10の全面に、導体である多結晶シリコン膜20を200nm程度、Ir/IrO₂膜21を100nm/50nm程度形成し、その上に強誘電体であるPZT膜22を150nm程度、Ir/IrO₂電極23を100nm/50nm程度形成する。次に1.5μm程度のゲート電極の幅で素子形成領域1を横断する長さの領域を残して、Ir/IrO₂電極23とPZT膜22とIr/IrO₂膜21と多結晶シリコン膜20をミリングとドライエッチングにより除去する。この構造物をマスクとして、薄いシリコン酸化膜14を通してソース・ドレイン領域を形成するための不純物をイオン注入する。

【0037】次に、素子形成領域1内に収まる長さになるようにもう一度Ir/IrO₂電極23とPZT膜22とIr/IrO₂膜21と多結晶シリコン膜20をミリングとドライエッチングにより加工する。その後全面に1μm程度の厚いシリコン酸化膜18を形成してCMP技術により平坦化した後、Ir/IrO₂電極23が露出するまで厚いシリコン酸化膜18をドライエッチングする。この後全面にゲート電極としての白金膜19を形成し、これをIr/IrO₂電極23と電気的に接続する形状にミリングで加工する。

【0038】

【実施例4】図6は、本発明の実施例4を示す主要部断面図である。図6に示す本発明の実施例4においては、シリコン基板10にフィールド領域2と素子形成領域1を形成した後、素子形成領域1に熱酸化により10nm程度の薄いシリコン酸化膜14を形成する。

【0039】次に全面に導体であるIr/IrO₂膜21を100nm/50nm程度形成し、素子形成領域1内で収まるようにIr/IrO₂膜21をパターニングする。その後全面に強誘電体であるPZT膜22をゾーグル法で成膜し650℃酸素中で焼成する。このときIr/IrO₂膜21上は、強誘電性を持つPZT24となるが、シリコン酸化膜14上は、強誘電性がほとんどなく強誘電体部分に比べて誘電率の小さい常誘電性のPZT膜25となる。全面にゲート電極となる白金膜19を500nm程度形成し、白金（ゲート電極）膜19とPZT膜22とIr/IrO₂膜21をゲート電極の形状にミリングとドライエッチングで加工する。このゲート電極をマスクとして素子形成領域1にソース・ドレイン領域を形成するための不純物をイオン注入する。

【0040】本実施例では、Ir/IrO₂膜21を残した部分が残留分極によるチャネルを形成する。また、

Ir/IrO₂膜21とPZT膜22をCeO₂膜とPT膜に置き換えることもできる。

【0041】

【発明の効果】以上説明したように本発明によれば、ゲート絶縁膜内の強誘電体と半導体基板表面との距離を均一にできるため、強誘電体の面積全体を有効活用でき、信号電圧切断後の電流は、強誘電体領域が狭くなっても急激に減少することがなく、設計を容易に行なうことができる。

【図面の簡単な説明】

【図1】（a）は、本発明の実施形態1を示す主要部の平面図、（b）は、図1（a）のA-A'線断面図である。

【図2】本発明の実施形態2を示す主要部の断面図である。

【図3】本発明の実施例1を示す主要部の断面図である。

【図4】本発明の実施例2を示す主要部の断面図である。

【図5】本発明の実施例3を示す主要部の断面図である。

【図6】本発明の実施例4を示す主要部の断面図である。

【図7】従来例を示す主要部の概観図である。

【図8】従来例を示す主要部の断面図である。

【図9】従来例を示す主要部の断面図である。

【図10】従来例を示す主要部の断面図である。

【符号の説明】

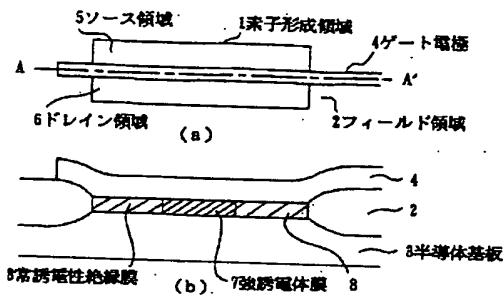
- | | |
|----|-----------------------|
| 1 | 素子形成領域 |
| 2 | フィールド領域 |
| 3 | 半導体基板 |
| 4 | ゲート電極 |
| 5 | ソース領域 |
| 6 | ドレイン領域 |
| 7 | 強誘電体膜 |
| 8 | 常誘電性絶縁膜 |
| 9 | 絶縁体膜 |
| 10 | シリコン基板 |
| 11 | シリコン酸化膜 |
| 12 | BaMgF ₄ 膜 |
| 13 | アルミゲート電極 |
| 14 | 薄いシリコン酸化膜 |
| 15 | CeO ₂ 膜 |
| 16 | 強誘電体PZT膜 |
| 17 | 白金膜 |
| 18 | 厚いシリコン酸化膜 |
| 19 | 白金ゲート電極 |
| 20 | 多結晶シリコン膜 |
| 21 | Ir/IrO ₂ 膜 |
| 22 | 強誘電体PZT膜 |

- 11
 23 Ir/IrO₂電極
 24 強誘電性PZT
 25 常誘電性PZT
 26 p型シリコン基板
 27 素子分離酸化膜
 28 強誘電体Bi₄Ti₃O₁₂膜
 29 ゲート酸化膜
 30 多結晶シリコンゲート
 31 ゲート絶縁膜

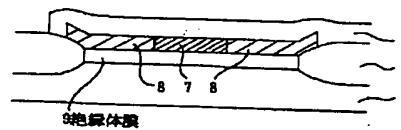
- 12
 * 32 しきい値調整用イオン注入領域
 33 p型シリコンウェル
 34 SrTiO₃からなる高誘電体膜
 35 白金層
 36 PbTiO₃からなる強誘電体膜
 37 白金層
 38 チャンネル領域
 39 シリコン酸化膜の食い込み部分

*

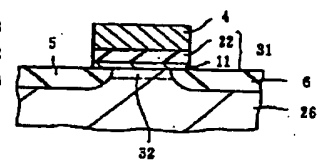
【図1】



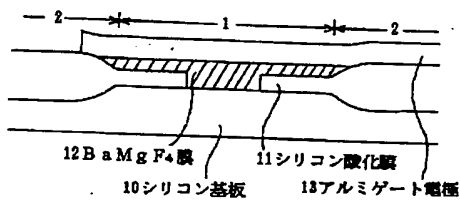
【図2】



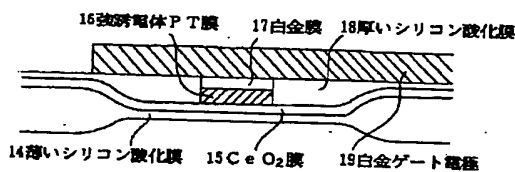
【図9】



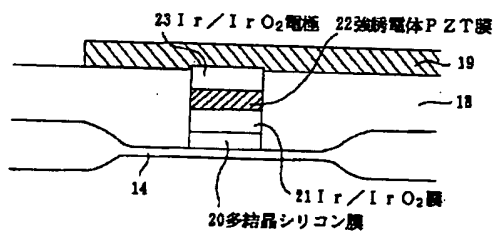
【図3】



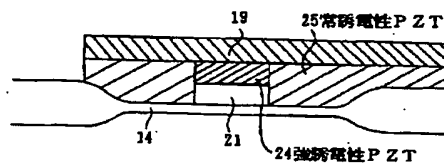
【図4】



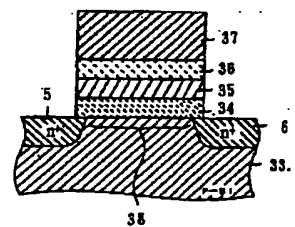
【図5】



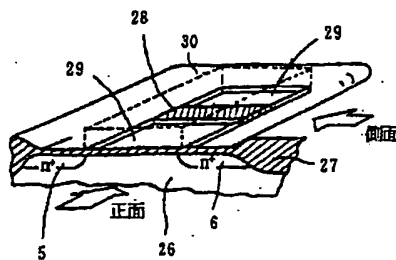
【図6】



【図10】



【図7】



【図8】

